

1 TEST

1.1 Projekt als VHDL erstellen (z.B.: Teiler durch 14)

In Bild 1.1 ist das Grundprogramm gelistet. In Bild 1.1 auf Seite 2 steht test1.

Grundprogramm

Figure 1.1: Grundprogramm

1 *TEST*

Test1

Figure 1.2: test1